

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-180483

(43)Date of publication of application : 13.08.1986

(51)Int.Cl.

H01L 29/78

(21)Application number : 60-020329

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 05.02.1985

(72)Inventor : EZAKI TAKEYA

ISHIKAWA OSAMU

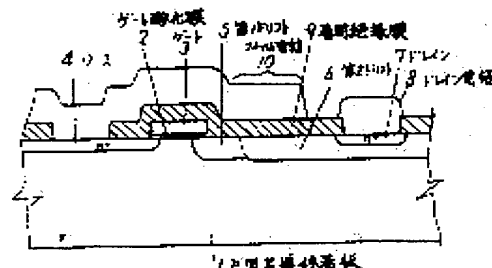
WAKABAYASHI MUTSUKO

## (54) MOS SEMICONDUCTOR DEVICE WITH HIGH WITHSTAND VOLTAGE

## (57)Abstract:

PURPOSE: To provide a MOS semiconductor device with a high withstanding voltage and large current, by forming a first drift region with a low concentration in a principal surface portion including a section positioned just below one end of a gate, and a second drift region with a medium concentration while being continued with the first drift region.

CONSTITUTION: A gate 3 is formed through a gate oxide film 2 which is grown on a principal surface of a P-type semiconductor substrate 1. Just below one end of the gate 3, a source 4 being a high concentration N<sup>+</sup> region is formed. Near the other end, a first drift region 5 being a low concentration N-type region is formed. A second drift region 6 being a medium concentration N-type region is formed while being continued with the first drift region 5, and a drain 7 of a high concentration N<sup>+</sup> region being contacted with the second drift region 6 and a metal electrode therefor are formed. A field electrode 10 is formed through an inter-layer insulating film 9. In this way, a uniform electric field distribution can be produced, and a high withstanding voltage and large current can be attained using said device.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-180483

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)8月13日

H 01 L 29/78

8422-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 高耐圧MOS型半導体装置

⑯ 特 願 昭60-20329

⑰ 出 願 昭60(1985)2月5日

⑱ 発 明 者 江 崎 豪 弥 門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 発 明 者 石 川 修 門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 発 明 者 若 林 睦 子 門真市大字門真1006番地 松下電器産業株式会社内  
⑳ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地  
㉑ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

高耐圧MOS型半導体装置

2. 特許請求の範囲

(1) 第1導電型の半導体基板の一主面上にゲート絶縁膜を介して形成されたゲートと、上記ゲートの一方の端部直下を含み上記一主面に形成された第2導電型の高濃度ソース領域と、上記ゲートの他方の端部直下を含み上記一主面に形成された第2導電型で低濃度の第1ドリフト領域と、上記第1ドリフト領域に縦続して上記一主面に形成された第2導電型で中濃度の第2ドリフト領域と、上記第2ドリフト領域に縦続して上記一主面に形成された第2導電型で高濃度のドレインコンタクト領域と、第1、第2ドリフト領域上にゲート絶縁膜よりも厚い層間絶縁膜を介して形成され上記ソース領域に接続されたフィールド電極とを含んでなる高耐圧MOS型半導体装置。

(2) 第1および第2ドリフト領域の境界が、フィ

ールド電極のほぼ中央にあることを特徴とする特許請求の範囲第1項に記載の高耐圧MOS型半導体装置。

3. 発明の詳細な説明

産業上の利用分野

この発明は、高耐圧で高電流のMOS型半導体装置に関するものである。

従来の技術

横型半導体装置に於て、ドレイン耐圧を高めるために、ドレインをゲートから離し(オフ・セット)その間にドレインより低濃度のドリフト領域を形成することは従来から行なわれている(たとえば特開昭60-93083号公報)。

また、ドリフト領域上に絶縁膜を介してソースに接続されたフィールド電極を設けて、ドリフト領域内の電界集中を防止することもなされている(たとえば電子通信学会論文誌C, J63-C, P264吉田他)。

発明が解決しようとする問題点

しかし、高耐圧化するにはドリフト領域の濃度

を下げなければならず、そうするとオン抵抗が高くドレイン電流が低下する。またフィールド電極による高耐圧化の効果を発現させるには、フィールド電極下の絶縁膜厚を薄くしなければならず、それによって静電容量の増大という新たな問題を生じていた。

#### 問題点を解決するための手段

本発明は前記問題点を解決するために、ドリフト領域内の電界のより一層の均一化を図り、ドリフト領域の不純物濃度を実質的に増大せしめて高電流化を達成するものである。

#### 作 用

本発明は上記した構成により、MOS型半導体装置の高耐圧化あるいはドリフト領域の濃度が高められオン抵抗が低下することによる高電流化が達成される。

#### 実施例

本発明の高耐圧MOS型半導体装置の概要について説明すると、まず発明者らは、ドリフト領域内における電界集中は、第1にゲート端部で最も

高く、ここで耐圧が決定されていること、その次にフィールド電極の端部に生じること、およびその電界強度はそれぞれの直下に存在する絶縁膜が薄い程高くなること、さらにそれらの高電界領域のほぼ中間には、電界の谷間が存在していること等に着目した。また云うまでもなくそれらの電界強度はドリフト領域の不純物濃度が高い程高い。

電界均一化のためには、まずゲート端部の電界強度の低下を図らねばならないが、そのためには、その近傍のドリフト領域の不純物濃度を低下させる。この領域を第1ドリフト領域とする。この第1ドリフト領域はゲート近傍に限定することにより抵抗の増大を防止する。次にフィールド電極端部でもっと電界を高めることでゲート端部の電界が緩和されるが、そのためにフィールド電極端部近傍においてはドリフト領域の不純物濃度を高める。この領域を第2ドリフト領域とし、これは第1ドリフト領域と縦続接続せしめておく。以上の構成によりゲート端部とフィールド電極端部における電界強度を略等しくする。

また、電界の谷間が生じるゲート端とフィールド電極端の中央部において、第1および第2ドリフト領域が接続されている構成にするとさらに電界の均一化が達せられる。これは、濃度が高くなる箇所電界が高まることを利用している。この様にして電界集中が抑制された結果高耐圧化が達せられ、また耐圧を上げなくてよければ、その分ドリフト領域の濃度が高められ高電流化が達せられる。

以下に本発明の実施例について図面と共に説明する。

#### (実施例1)

第1図において、p型(100)15 $\Omega$ -cm半導体基板1の一主面上に、0.1ミクロン厚の熱酸化膜(SiO<sub>2</sub>)であるゲート酸化膜2が成長せしめられていて、それを介して多結晶シリコンの0.4 $\mu$ 厚のゲート3がゲート長3ミクロンで形成されている。ゲート3の一方の端部直下には10<sup>20</sup>cm<sup>-3</sup>程度の高濃度n<sup>+</sup>領域であるソース4が、また他方の端部近傍には、2 $\sim$ 10 $\times$ 10<sup>15</sup>cm<sup>-3</sup>程

度の低濃度n型領域である第1ドリフト5が、またそれに縦続して第1ドリフト5よりは高濃度で10 $\sim$ 30 $\times$ 10<sup>15</sup>cm<sup>-3</sup>程度のn型領域である第2ドリフト6が、さらに第2ドリフト6に接して高濃度のp<sup>+</sup>領域であるドレイン7およびその金属電極8が形成されている。第1および第2ドリフト5、6上には0.6ミクロン厚の層間絶縁膜9を介して、1ミクロン厚のアルミによるフィールド電極10が形成されている。フィールド電極10は、ゲート3上を通過して、ソース4へ接続されている。

第2図は、実施例装置の作用を説明するための電界分布図で、横軸は第1図に対応した主面に沿った位置を表わす。電界のピーク(E1およびE2)は、従来例(点線)においても本発明(実線)においてもほぼ同じゲート3端部およびフィールド電極10端部に生じるが、従来例では、E1>E2であったのが、本発明ではE1' $\approx$ E2'となり、最大電界強度が低下することが図示されている。

(実施例2)

第3図は、第1図と基本的に同じであり、同一個所には同一番号が付してある。違いは、第1および第2ドリフト5および6の境界が、フィールド電極10のほぼ中央部に位置していることである。第4図に、第3図と位置的に対応させて電界分布が示してある。第2図の実線と比べてさらに電界が一様化することが示されている。第4図において点線は第1図に示す実施例の特性、実線は第3図に示す実施例の特性を示す。

発明の効果

以上述べてきたように、本発明によれば最大電界が生じるゲート端近傍と、その次の電界が生じるフィールド端近傍とにおいて、ドリフト領域の濃度を異ならしめ電界ピークを等しくし、またドリフト領域の濃度の変化位置をフィールド電極の略中央部とすることにより電界の谷間をなくすことで極めて一様な電界分布を有するMOS型半導体装置が実現される。これにより高耐圧化あるいは、ドリフト領域の濃度が高められることにより

オン抵抗が低下し、高電流化が達せられるという効果が生じる。

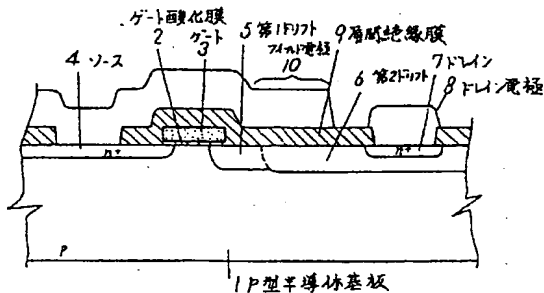
4、図面の簡単な説明

第1図は本発明の第1の実施例におけるMOS型半導体装置の断面図、第2図は同装置の電界分布を従来の装置と比較して示す図、第3図は本発明の第2の実施例におけるMOS型半導体装置の断面図、第4図は同装置の電界分布を第1の実施例と比較して示す図である。

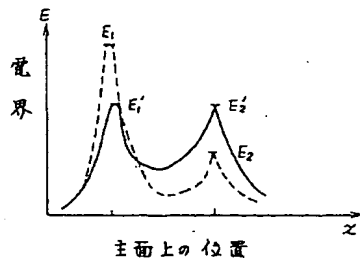
1……p型半導体基板、2……ゲート酸化膜、3……ゲート、4……ソース、7……ドレイン、5……第1ドリフト、6……第2ドリフト。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

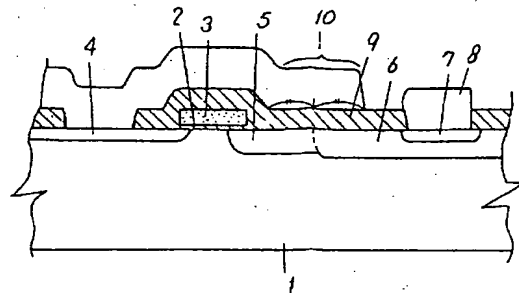
第 1 図



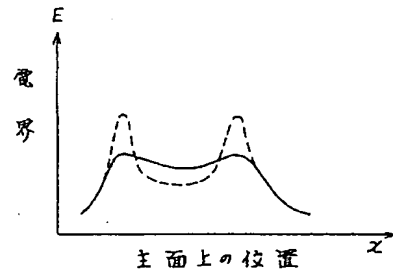
第 2 図



第 3 図



第 4 図



THIS PAGE BLANK (USPTO)